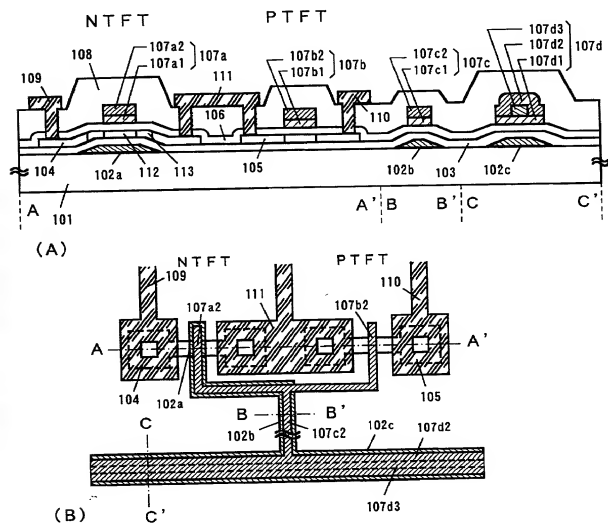


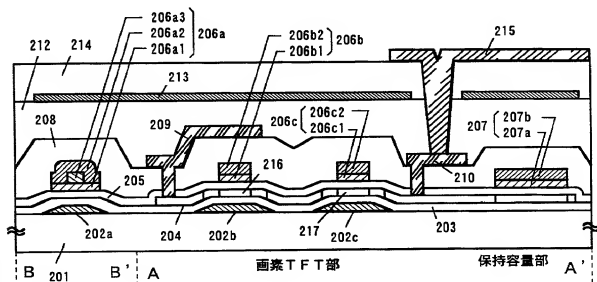
【書類名】 図面

【図1】

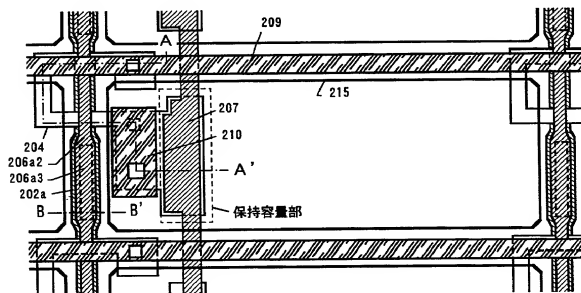


101:基板 102a, 102b, 102c:第1配線 103:第1絶縁層 104, 105:活性層  
106:第2絶縁層 107a, 107b, 107c, 107d:第2配線  
(107a1, 107b1, 107c1, 107d1:第1導電層  
107a2, 107b2, 107c2, 107d2:第2導電層 107d3:第3導電層)  
108:第1層間絶縁層 109~111:第3配線 (109, 110:ソース配線 111:ドレイン配線)

【図2】



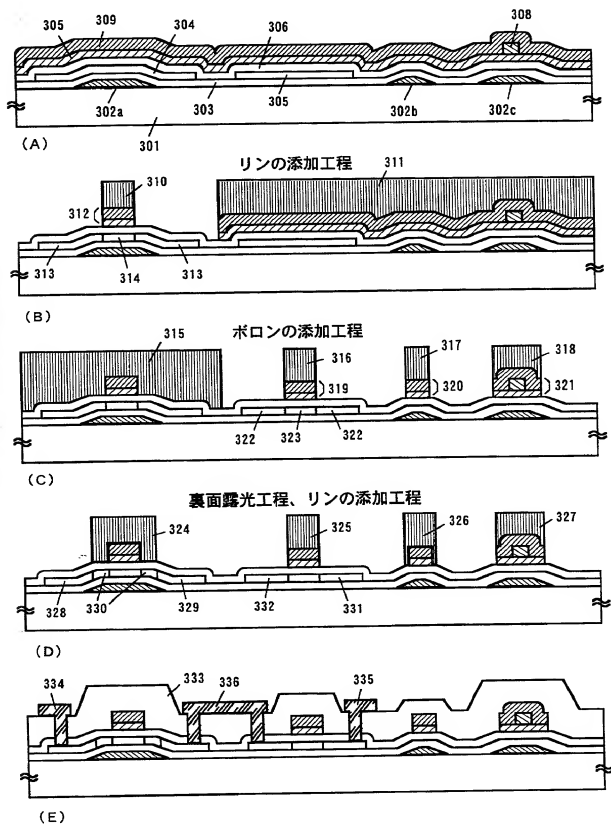
(A)



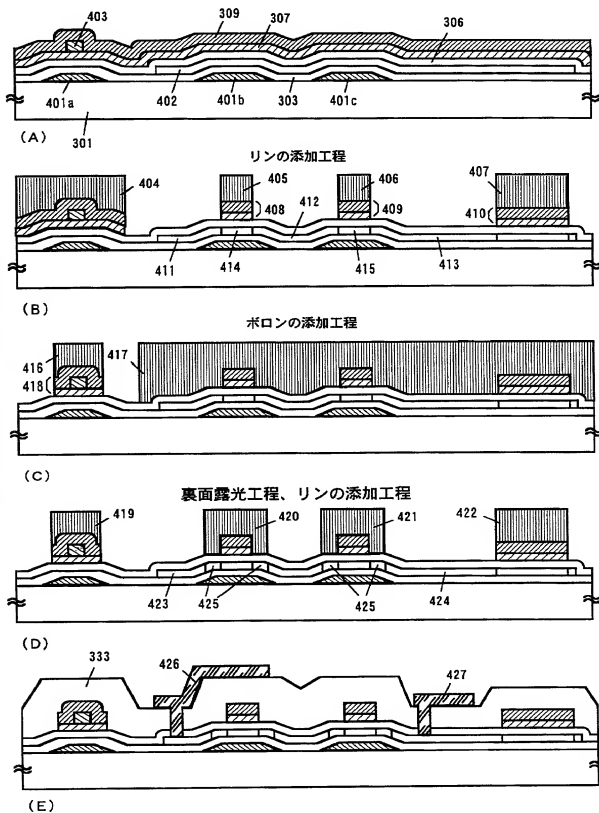
(B)

201:基板 202a, 202b, 202c:第1配線 203:第1絶縁層 204:活性層  
205:第2絶縁層 206a, 206b, 206c:第2配線  
(206a1, 206b1, 206c1:第1導電層 206a2, 206b2, 206c2:第2導電層 206a3:第2導電層)  
207:容量配線 (207a:第1導電層 207b:第2導電層) 208:第1層間絶縁層  
209:ソース配線 210:ドレイン配線 211:第2層間絶縁層 212:フックマスク 213:第3層間絶縁層  
214:画素電極 215, 216:形成領域

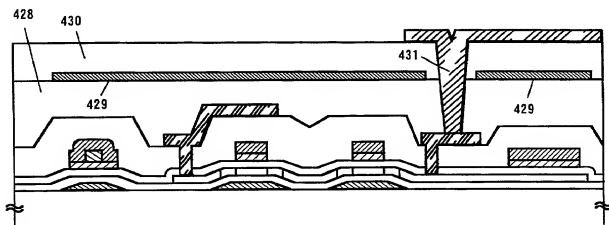
【図3】



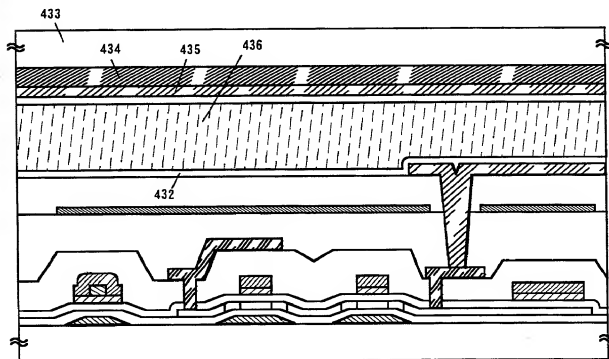
【図4】



【図5】

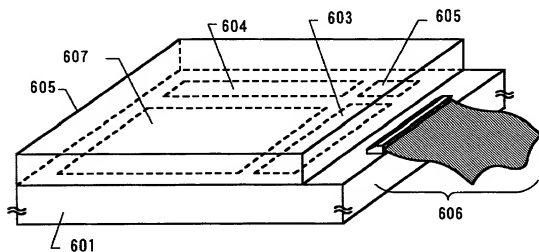


(A)



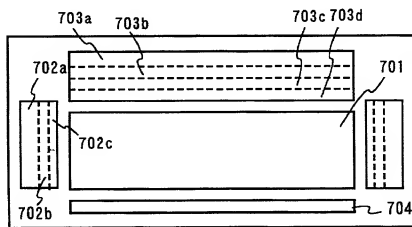
(B)

【図6】



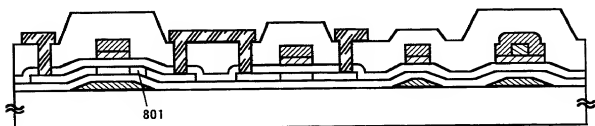
601: 絶縁表面を有する基板 602: 画素マトリクス回路  
603: ソースライン回路 604: ゲイトライン回路  
605: 信号処理回路 606: FPC 1007: 対向基板

【図7】

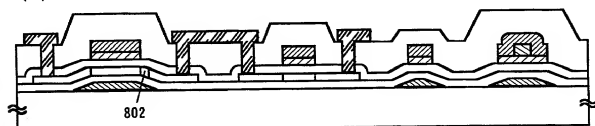


701: 画素マトリクス回路 702a, 703a: シフトレジスタ回路  
702b, 703b: バッファ回路 702c, 703c: バッファ回路  
703d: サンプル回路 704: プリチャージ回路

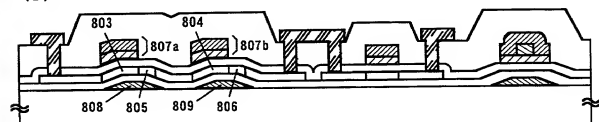
【図8】



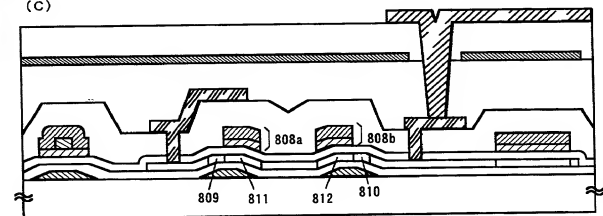
(A)



(B)

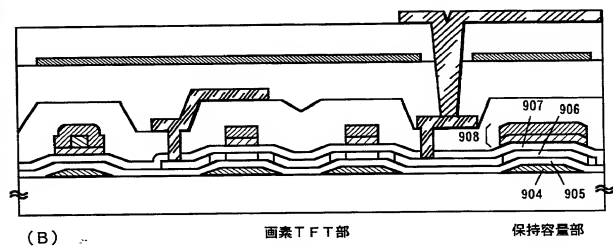
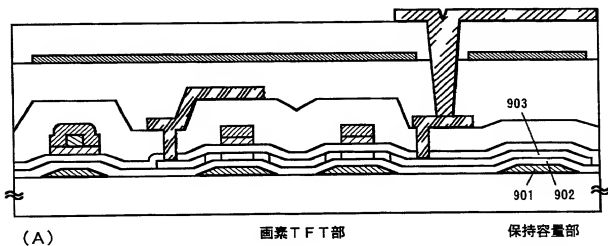


(C)



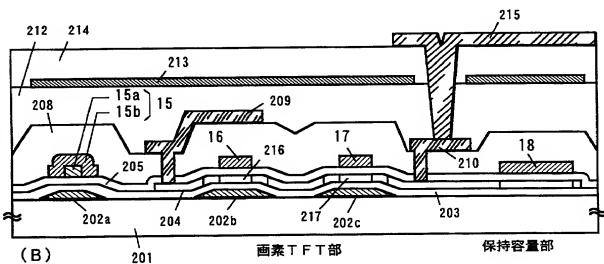
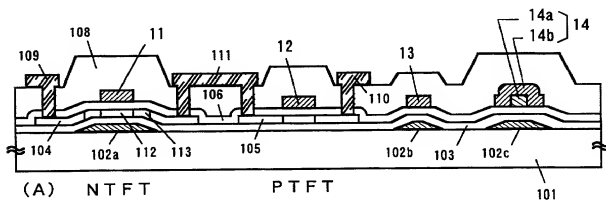
(D)

【図9】

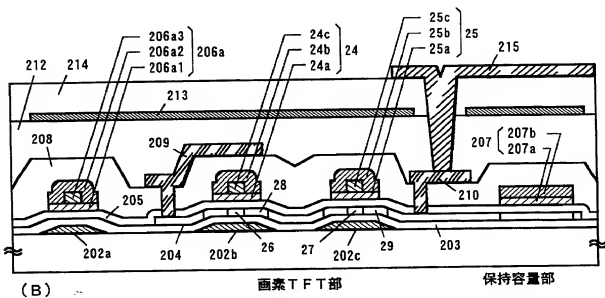
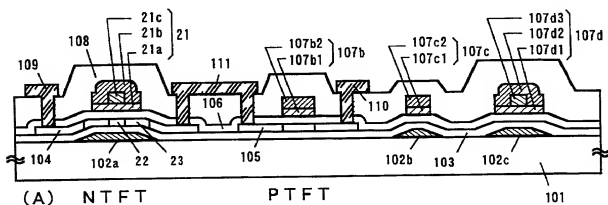




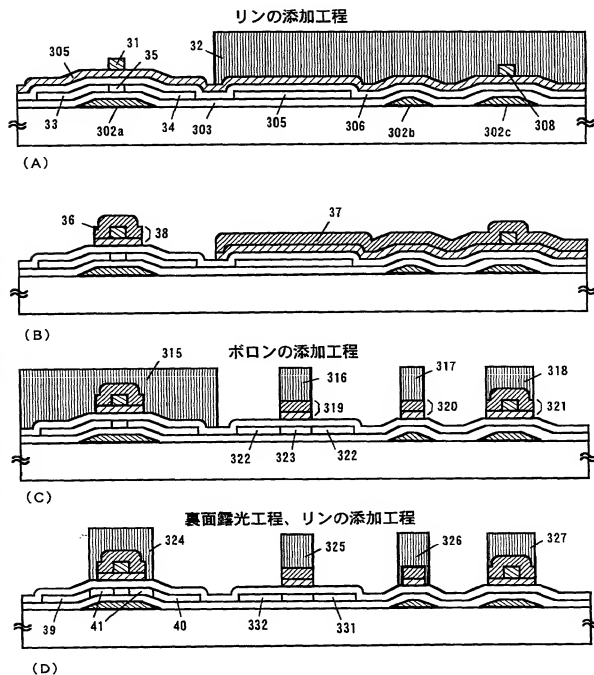
【図10】



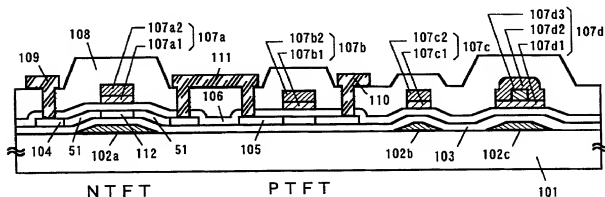
【図11】



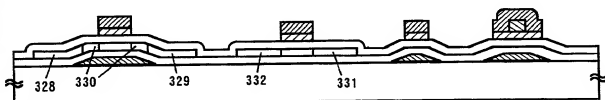
【図12】



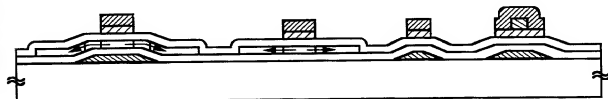
【図13】



【図14】



(A)



(B)

【図15】

